

日本国特許庁
JAPAN PATENT OFFICE

JC997 U.S. PTO
09/905424
07/13/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2000年 7月27日

出願番号

Application Number:

特願2000-227349

出願人

Applicant(s):

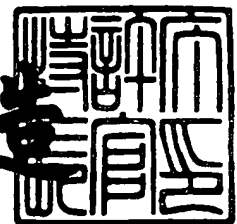
ソニー株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 5月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3042509

【書類名】 特許願

【整理番号】 0000035502

【提出日】 平成12年 7月27日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 13/00

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 富田 芳紀

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

 【代表者】 出井 伸之

【代理人】

 【識別番号】 100080883

 【弁理士】

 【氏名又は名称】 松隈 秀盛

 【電話番号】 03-3343-5821

【手数料の表示】

 【予納台帳番号】 012645

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9707386

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ記憶装置およびデータ記憶方法

【特許請求の範囲】

【請求項 1】 データを記憶する複数の記憶手段と、

上記記憶手段のうち所望の記憶手段にデータの書き込みを行う書き込み手段と

上記記憶手段のうち所望の記憶手段からデータの読み出しを行う読み出し手段と、

上記書き込み手段によるデータの書き込みまたは上記読み出し手段によるデータの読み出しの際に、上記記憶手段のうちの所定の単位でまとめて一意のアドレスにより指定するアドレス手段と

を備えたデータ記憶装置。

【請求項 2】 請求項 1 記載のデータ記憶装置において、

上記アドレス手段により上記記憶手段をまとめて指定するための構成法を複数有し、各構成法により、他の一意のアドレスにより、同一の記憶手段を含む上記所定の単位を指定することを特徴とするデータ記憶装置。

【請求項 3】 請求項 2 記載のデータ記憶装置において、

上記データは画像データであり、上記構成法は、画素毎に 1 バイトデータを構成する場合と、所定ビット毎に上記画素毎の 1 バイトデータを分割して 1 バイトデータを構成する場合であることを特徴とするデータ記憶装置。

【請求項 4】 請求項 1 記載のデータ記憶装置において、

上記アドレス手段により上記同一の記憶手段が異なるアドレス空間にマッピングされることを特徴とするデータ記憶装置。

【請求項 5】 転送元アドレスから転送先アドレスへデータを転送して記憶するデータ記憶方法において、

入力された全データを一時記憶し、

上記全データのうち所定アドレス毎に対応する所定データのみを順次取り出し

順次取り出された上記所定データのみを転送元アドレスから転送先アドレスへ

順次転送して記憶する

ことを特徴とするデータ記憶方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、記憶手段に対してデータの書き込みまたは読み出しを行うデータ記憶装置およびデータ記憶方法に関するものである。

【0002】

【従来の技術】

従来、例えば、電氣的あるいは磁氣的に、「1」か「0」のデータを記憶することができる1ビットの記憶セルに対して、データの書き込みまたは読み出しを行う最小単位は、8ビットをまとめて1バイトと呼ばれ、ノイマン型コンピュータにおいては、このバイト単位にアドレスを割り当てて、1バイト単位でデータの書き込みまたは読み出しを行うのが一般的であった。

【0003】

この場合、ある特定の記憶セル（1ビット）にアクセスする場合において、記憶セルをまとめるための構成法が1通りであったため、その該当する記憶セルの所属する1バイトデータの他の記憶セル（7ビット）は、必ず同一の記憶セルが並んでいるという特徴があった。

【0004】

一例として、1画素当たり1バイトの画像データを、通常の記憶装置に収める場合、走査線の走査順序に従って、画像アドレスが一つずつ増えるように昇順に、画像データを収めるのが一般的である。この場合、昇順のアドレスに配置された各画素の1バイトのデータの所定ビットに対して2次元的にスライスして、所定ビットに対して処理を行うビットプレーン（Bit Plane）に基づく処理、例えば、画像データの各画素の5ビット目に対しての処理を行う場合に、各アドレスに収納されたデータを1バイトずつ読み出して、5ビット目のデータを抜き出して、その抜き出したデータを別のバッファにためておき、必要なデータが揃ったところで、何らかの処理を行うようにしていた。

【0005】

図7は、従来の画像データの記憶のための転送の例を示すフローチャートである。

図7において、ステップS11で、画像データを格納する。図8は画像データ格納のサブルーチンを示すフローチャートである。図8において、ステップS31で、アドレスAに「0」を代入する。ステップS32で、バッファに入力画像データを読み込む。ステップS33で、バッファの内容をアドレスAのポインタの示すアドレスに格納する。ステップS34で、アドレスAの値に「1」を加える。ステップS35で、アドレスAのポインタが「0x1000」より小さいか否かを判断する。ステップS35において、アドレスAが「0x1000」より小さいときは、ステップS32へ戻り、ステップS32～ステップS35までの処理および判断を繰り返す。ステップS35において、アドレスAが「0x1000」のときはリターンする。

【0006】

図7に戻って、ステップS12で、ソースアドレスのポインタを「0x0000」に、デスティネーションアドレスのポインタを「0x2000」に設定する。図9Aに画像データのエリアを示す。図9Aにおいて、ソースエリア101は、「0x0000」～「0x1000」、デスティネーションエリア102は、「0x2000」～である。

【0007】

ステップS13で、カウンターのカウント値を「7」にプリセットする。ステップS14で、ソースアドレスのポインタの示すアドレスに格納されているデータのMSBが「1」か否かを判断する。

【0008】

ステップS14において、ソースアドレスのポインタの示すアドレスに格納されているデータのMSBが「1」であるときは、ステップS15で、バッファのカウント値が示すビット目に「1」を立てて、ステップS17へ進む。図9Bはバッファの構造を示す図である。

【0009】

ステップ S 1 4 において、ソースアドレスのポインタの示すアドレスに格納されているデータの M S B が「1」でないときは、ステップ S 1 6 で、バッファのカウンタ値が示すビット目を「0」にクリアして、ステップ S 1 7 へ進む。

【0 0 1 0】

ステップ S 1 7 で、カウンタ値から「1」を引いて、ソースアドレスのポインタの示す値に「1」を加える。ステップ S 1 8 で、カウンタ値が負であるか否かを判断する。ステップ S 1 8 において、カウンタ値が負であるときは、ステップ S 1 9 へ進み、ステップ S 1 8 において、カウンタ値が負でないときは、ステップ S 1 4 へ戻り、ステップ S 1 4 ～ステップ S 1 8 までの処理および判断を繰り返す。

【0 0 1 1】

ステップ S 1 9 で、バッファの内容を、デスティネーションのポインタが指すアドレスに格納する。ステップ S 2 0 で、デスティネーションのポインタの値に「1」を加える。ステップ S 2 1 で、ソースアドレスのポインタが「0 x 1 0 0 0」より小さいか否かを判断する。ステップ S 2 1 において、ソースアドレスのポインタが「0 x 1 0 0 0」より小さくないときは、ステップ S 1 3 へ戻り、ステップ S 1 3 ～ステップ S 2 1 までの処理および判断を繰り返す。ステップ S 2 1 において、ソースアドレスのポインタが「0 x 1 0 0 0」より小さいときは、終了する。

【0 0 1 2】

【発明が解決しようとする課題】

しかし、上述した従来の画像データの各画素の 1 バイトのデータの所定ビットに対して上述したビットプレーンに基づく処理を行う場合に、各アドレスに収納されたデータを 1 バイトずつ読み出して、処理を行うビット目のデータを抜き出して、その抜き出したデータを別のバッファにためておき、必要なデータが揃ったところで、何らかの処理を行うようにしていたため、データの伝送に時間がかかり、データのアクセスに無駄が生じていたという不都合があった。

【0 0 1 3】

そこで、本発明は、かかる点に鑑みてなされたものであり、データの記憶ため

の伝送処理が簡略化され、データのアクセスを効率よく行うことができるデータ記憶装置およびデータ記憶方法を提供することを課題とする。

【0014】

【課題を解決するための手段】

本発明のデータ記憶装置は、データを記憶する複数の記憶手段と、上記記憶手段のうち所望の記憶手段にデータの書き込みを行う書き込み手段と、上記記憶手段のうち所望の記憶手段からデータの読み出しを行う読み出し手段と、上記書き込み手段によるデータの書き込みまたは上記読み出し手段によるデータの読み出しの際に、上記記憶手段のうちの所定の単位でまとめて一意のアドレスにより指定するアドレス手段とを備えたものである。

【0015】

従って本発明によれば、以下の作用をする。

アドレス手段からアドレスが入力され、データ入力手段から最小単位のワードを構成する入力データが入力される。ここで、書き込み手段により、入力データがアドレスにより選択された複数の記憶手段のうちの所定の記憶手段に書き込まれ、読み出し手段により、アドレスにより選択された複数の記憶手段のうちの所定の記憶手段からデータが読み出されて、最小単位のワードを構成する出力データが出力される。

【0016】

また、本発明のデータ記憶方法は、転送元アドレスから転送先アドレスへデータを転送して記憶するデータ記憶方法において、入力された全データを一時記憶し、上記全データのうち所定アドレス毎に対応する所定データのみを順次取り出し、順次取り出された上記所定データのみを転送元アドレスから転送先アドレスへ順次転送して記憶するものである。

【0017】

従って本発明によれば、以下の作用をする。

一時記憶された画像データに対して、転送元アドレスを所定ステップずつ飛ばしながら、画像データを読み出した後に、その画像データをそのまま転送先アドレスに書き出すことにより、全画像データに対して所定ステップだけ間引いたデ

ータの直接の読み出しおよび書き込みを行う。

【0018】

【発明の実施の形態】

本実施の形態のデータ記憶装置は、記憶セルのうちの所定の単位でまとめて一意のアドレスにより指定するものであって、記憶セルをまとめて指定するための構成法を複数有し、各構成法により、他の一意のアドレスにより、同一の記憶セルを含む所定の単位を指定するものである。

【0019】

図1は、本実施の形態が適用されるデータ記憶装置の2ビットの構成例を示す図である。図1は、ハードウェアでの実現例として、説明を簡単にするため2ビットでの実現例について示したものである。

【0020】

図1において、端子1から2ビットのアドレスADが入力され、端子2から1ワード、2ビットの入力データDINが入力され、端子3からライトイネーブル信号XWEが入力され、端子4からクロック信号CLOCKが入力され、端子5からリセット信号XRSTが入力される。端子50からリードイネーブル信号XREが入力され、端子51から1ワード、2ビットの出力データDOUTが出力される。

【0021】

このデータ記憶装置は、記憶セル1（6）および論理回路6-2と、記憶セル2（7）および論理回路7-2と、記憶セル3（8）および論理回路8-2と、記憶セル4（9）および論理回路9-2と、インバータ52と、オア回路47、48と、3ステートバッファ49とを有して構成される。

【0022】

記憶セル1（6）はスイッチ（S1）13とフリップフロップ（DFF1）14とからなり、記憶セル1（6）の前段に論理回路6-2が設けられている。論理回路6-2は、インバータ10と、アンド回路11、12、15とからなる。

【0023】

アドレスADが入力される端子1のLSBビット側は、論理回路6-2のイン

バータ 1 0 の入力と接続される。インバータ 1 0 の出力は、アンド回路 1 1 の一方の入力と接続され、アンド回路 1 1 の他方の入力を入力データ D I N が入力される端子 2 の M S B ビット側 (D 2) と接続される。

【 0 0 2 4 】

アンド回路 1 1 の出力はスイッチ (S 1) 1 3 の一方の固定接点に接続され、スイッチ (S 1) 1 3 の可動接点はフリップフロップ (D F F 1) 1 4 の入力と接続され、フリップフロップ (D F F 1) 1 4 の出力はスイッチ (S 1) 1 3 の他方の固定接点に接続される。フリップフロップ (D F F 1) 1 4 の出力は、アンド回路 1 5 の一方の入力と接続され、アンド回路 1 5 の他方の入力インバータ 1 0 の出力と接続される。アンド回路 1 5 の出力はオア回路 4 7 の 3 入力のうちの 1 つに接続される。

【 0 0 2 5 】

ライトイネーブル信号 X W E が入力される端子 3 はインバータ 5 2 の入力と接続される。インバータ 5 2 の出力は、アンド回路 1 2 の一方の入力と接続され、アンド回路 1 2 の他方の入力インバータ 1 0 の出力と接続される。アンド回路 1 2 の出力はスイッチ (S 1) 1 3 の可動接点の切り換え制御端子に接続される。

【 0 0 2 6 】

クロック信号 C L O C K が入力される端子 4 はフリップフロップ (D F F 1) 1 4 のクロック端子に接続され、リセット信号 X R S T が入力される端子 5 はフリップフロップ (D F F 1) 1 4 のリセット端子に接続される。

【 0 0 2 7 】

記憶セル 2 (7) はスイッチ (S 2) 2 5 とフリップフロップ (D F F 2) 2 6 とからなり、記憶セル 2 (7) の前段に論理回路 7 - 2 が設けられている。論理回路 7 - 2 は、インバータ 1 6、1 7 と、アンド回路 1 8、1 9、2 0、2 1、2 4、2 7、2 8 と、オア回路 2 2、2 3 とからなる。

【 0 0 2 8 】

アドレス A D が入力される端子 1 の M S B ビット側は、論理回路 7 - 2 のインバータ 1 6 の入力と接続される。インバータ 1 6 の出力は、アンド回路 1 8 の一

方の入力と接続され、アドレスADが入力される端子1のLSBビット側は、インバータ17の入力と接続される。インバータ17の出力は、アンド回路18の他方の入力と接続される。

【0029】

アンド回路18の出力はアンド回路20の一方の入力と接続され、アンド回路20の他方の入力を入力データDINが入力される端子2のLSBビット側(D1)と接続される。アドレスADが入力される端子1のMSBビット側は、アンド回路19の一方の入力と接続され、アドレスADが入力される端子1のLSBビット側は、アンド回路19の他方の入力と接続される。アンド回路19の出力はアンド回路21の一方の入力と接続され、アンド回路21の他方の入力を入力データDINが入力される端子2のMSBビット側(D2)と接続される。アンド回路20の出力はオア回路23の一方の入力と接続され、アンド回路21の出力はオア回路23の他方の入力と接続される。

【0030】

オア回路23の出力はスイッチ(S2)25の一方の固定接点に接続され、スイッチ(S2)25の可動接点はフリップフロップ(DF F 2)26の入力と接続され、フリップフロップ(DF F 2)26の出力はスイッチ(S2)25の他方の固定接点に接続される。フリップフロップ(DF F 2)26の出力は、アンド回路28の一方の入力と接続され、アンド回路28の他方の入力アンド回路19の出力と接続される。

【0031】

アンド回路18の出力はオア回路22の一方の入力と接続され、アンド回路19の出力はオア回路22の他方の入力と接続される。

【0032】

ライトイネーブル信号XWEが入力される端子3はインバータ52の入力に接続され、インバータ52の出力は、アンド回路24の一方の入力と接続され、アンド回路24の他方の入力オア回路22の出力と接続される。アンド回路24の出力はスイッチ(S2)25の可動接点の切り換え制御端子に接続される。

【0033】

アンド回路 1 8 の出力はアンド回路 2 7 の一方の入力と接続され、アンド回路 2 7 の他方の入力フリップフロップ (D F F 2) 2 6 の出力と接続される。アンド回路 2 7 の出力はアンド回路 2 8 の出力と接続される。アンド回路 2 8 の出力はオア回路 4 7 の 3 入力のうちの 1 つに接続される。

【 0 0 3 4 】

クロック信号 C L O C K が入力される端子 4 はフリップフロップ (D F F 2) 2 6 のクロック端子に接続され、リセット信号 X R S T が入力される端子 5 はフリップフロップ (D F F 2) 2 6 のリセット端子に接続される。

【 0 0 3 5 】

記憶セル 3 (8) はスイッチ (S 3) 3 8 とフリップフロップ (D F F 3) 3 9 とからなり、記憶セル 3 (8) の前段に論理回路 8 - 2 が設けられている。論理回路 8 - 2 は、インバータ 2 9、3 0 と、アンド回路 3 1、3 2、3 3、3 4、3 7、4 0、4 1 と、オア回路 3 5、3 6 とからなる。

【 0 0 3 6 】

アドレス A D が入力される端子 1 の M S B ビット側は、論理回路 8 - 2 のインバータ 2 9 の入力と接続される。インバータ 2 9 の出力は、アンド回路 3 1 の一方の入力と接続され、アドレス A D が入力される端子 1 の L S B ビット側は、アンド回路 3 1 の他方の入力と接続される。

【 0 0 3 7 】

アンド回路 3 1 の出力はアンド回路 3 3 の一方の入力と接続され、アンド回路 3 3 の他方の入力を入力データ D I N が入力される端子 2 の M S B ビット側 (D 2) と接続される。アドレス A D が入力される端子 1 の M S B ビット側は、アンド回路 3 2 の一方の入力と接続され、アドレス A D が入力される端子 1 の L S B ビット側は、インバータ 3 0 の入力と接続される。インバータ 3 0 の出力は、アンド回路 3 2 の他方の入力と接続される。アンド回路 3 2 の出力はアンド回路 3 4 の一方の入力と接続され、アンド回路 3 4 の他方の入力を入力データ D I N が入力される端子 2 の L S B ビット側 (D 1) と接続される。アンド回路 3 3 の出力はオア回路 3 6 の一方の入力と接続され、アンド回路 3 4 の出力はオア回路 3 6 の他方の入力と接続される。

【 0 0 3 8 】

オア回路 3 6 の出力はスイッチ (S 3) 3 8 の一方の固定接点に接続され、スイッチ (S 3) 3 8 の可動接点はフリップフロップ (D F F 3) 3 9 の入力と接続され、フリップフロップ (D F F 3) 3 9 の出力はスイッチ (S 3) 3 8 の他方の固定接点に接続される。フリップフロップ (D F F 3) 3 9 の出力は、アンド回路 4 1 の一方の入力と接続され、アンド回路 4 1 の他方の入力とはアンド回路 3 2 の出力と接続される。

【 0 0 3 9 】

アンド回路 3 1 の出力はオア回路 3 5 の一方の入力と接続され、アンド回路 3 2 の出力はオア回路 3 5 の他方の入力と接続される。

【 0 0 4 0 】

ライトイネーブル信号 X W E が入力される端子 3 はインバータ 5 2 の入力に接続され、インバータ 5 2 の出力は、アンド回路 3 7 の一方の入力と接続され、アンド回路 3 7 の他方の入力とはオア回路 3 5 の出力と接続される。アンド回路 3 7 の出力はスイッチ (S 3) 3 8 の可動接点の切り換え制御端子に接続される。

【 0 0 4 1 】

アンド回路 3 1 の出力はアンド回路 4 0 の一方の入力と接続され、アンド回路 4 0 の他方の入力とはフリップフロップ (D F F 3) 3 9 の出力と接続される。アンド回路 4 0 の出力はオア回路 4 7 の 3 入力のうちの 1 つと接続される。アンド回路 4 1 の出力はオア回路 4 8 の 3 入力のうちの 1 つに接続される。

【 0 0 4 2 】

クロック信号 C L O C K が入力される端子 4 はフリップフロップ (D F F 3) 3 9 のクロック端子に接続され、リセット信号 X R S T が入力される端子 5 はフリップフロップ (D F F 3) 3 9 のリセット端子に接続される。

【 0 0 4 3 】

記憶セル 4 (9) はスイッチ (S 4) 4 4 とフリップフロップ (D F F 4) 4 5 とからなり、記憶セル 4 (9) の前段に論理回路 9 - 2 が設けられている。論理回路 9 - 2 は、アンド回路 4 2 、 4 3 、 4 6 とからなる。

【 0 0 4 4 】

アドレスADが入力される端子1のLSBビット側は、論理回路9-2のアンド回路42の一方の入力と接続され、アンド回路42の他方の入力を入力データDINが入力される端子2のLSBビット側(D1)と接続される。

【0045】

アンド回路42の出力はスイッチ(S4)44の一方の固定接点に接続され、スイッチ(S4)44の可動接点はフリップフロップ(DF F 4)45の入力と接続され、フリップフロップ(DF F 4)45の出力はスイッチ(S4)44の他方の固定接点に接続される。フリップフロップ(DF F 4)45の出力は、アンド回路46の一方の入力と接続され、アンド回路46の他方の入力アドレスADが入力される端子1のLSBビット側と接続される。アンド回路46の出力はオア回路48の3入力のうちの1つに接続される。

【0046】

ライトイネーブル信号XWEが入力される端子3はインバータ52の入力と接続される。インバータ52の出力は、アンド回路43の一方の入力と接続され、アンド回路43の他方の入力アドレスADが入力される端子1のLSBビット側と接続される。アンド回路43の出力はスイッチ(S4)44の可動接点の切り換え制御端子に接続される。

【0047】

オア回路47の出力とオア回路48の出力とを合成した2ビットの出力が3ステートバッファ49の入力に接続される。リードイネーブル信号XREが入力される端子50は3ステートバッファ49のゲートに接続される。3ステートバッファ49の出力と1ワード、2ビットの出力データDOU Tが出力される端子51とが接続される。

【0048】

クロック信号CLOCKが入力される端子4はフリップフロップ(DF F 4)45のクロック端子に接続され、リセット信号XRSTが入力される端子5はフリップフロップ(DF F 4)45のリセット端子に接続される。

【0049】

このように構成されたデータ記憶装置は、以下のような動作をする。

端子1から2ビットのアドレスADが入力され、端子2から1ワード、2ビットの入力データDINが入力される。ここで、端子3から入力されるライトイネーブル信号XWEを「0」にすることにより、入力データDINがアドレスADにより選択された記憶セル1（6）、記憶セル2（7）、記憶セル3（8）、記憶セル4（9）のうちの2つの記憶セルに書き込まれ、端子50から入力されるリードイネーブル信号XREを「0」にすることにより、アドレスADにより選択された記憶セル1（6）、記憶セル2（7）、記憶セル3（8）、記憶セル4（9）のうちの2つの記憶セルからデータが読み出されて、端子51から3ステートバッファ49の出力として、1ワード、2ビットの出力データDOU Tが出力される。

【0050】

スイッチ（S1）13とフリップフロップ（DFF1）14は1ビットの記憶セル1（6）として、データの書き込みまたは読み出しの動作をする。スイッチ（S2）25とフリップフロップ（DFF2）26は1ビットの記憶セル2（7）として、データの書き込みまたは読み出しの動作をする。スイッチ（S3）38とフリップフロップ（DFF3）39は1ビットの記憶セル3（8）として、データの書き込みまたは読み出しの動作をする。スイッチ（S4）44とフリップフロップ（DFF4）45は記憶セル4（9）として、データの書き込みまたは読み出しの動作をする。

【0051】

スイッチ（S1）13の可動接点の切り換え制御端子への入力「1」のとき、スイッチ（S1）13の可動接点をスイッチ（S1）13の一方の固定接点と接続し、スイッチ（S1）13の一方の固定接点への入力データをフリップフロップ（DFF1）14により書き込み、スイッチ（S1）13の可動接点の切り換え制御端子への入力「0」のとき、スイッチ（S1）13の可動接点をスイッチ（S1）13の他方の固定接点と接続し、フリップフロップ（DFF1）14により書き込まれたデータを保持する。

【0052】

スイッチ（S2）25の可動接点の切り換え制御端子への入力「1」のとき

、スイッチ（S 2）2 5の可動接点をスイッチ（S 2）2 5の一方の固定接点と接続し、スイッチ（S 2）2 5の一方の固定接点への入力データをフリップフロップ（D F F 2）2 6により書き込み、スイッチ（S 2）2 5の可動接点の切り換え制御端子への入力が「0」のとき、スイッチ（S 2）2 5の可動接点をスイッチ（S 2）2 5の他方の固定接点と接続し、フリップフロップ（D F F 2）2 6により書き込まれたデータを保持する。

【0 0 5 3】

スイッチ（S 3）3 8の可動接点の切り換え制御端子への入力が「1」のとき、スイッチ（S 3）3 8の可動接点をスイッチ（S 3）3 8の一方の固定接点と接続し、スイッチ（S 3）3 8の一方の固定接点への入力データをフリップフロップ（D F F 3）3 9により書き込み、スイッチ（S 3）3 8の可動接点の切り換え制御端子への入力が「0」のとき、スイッチ（S 3）3 8の可動接点をスイッチ（S 3）3 8の他方の固定接点と接続し、フリップフロップ（D F F 3）3 9により書き込まれたデータを保持する。

【0 0 5 4】

スイッチ（S 4）4 4の可動接点の切り換え制御端子への入力が「1」のとき、スイッチ（S 4）4 4の可動接点をスイッチ（S 4）4 4の一方の固定接点と接続し、スイッチ（S 4）4 4の一方の固定接点への入力データをフリップフロップ（D F F 4）4 5により書き込み、スイッチ（S 4）4 4の可動接点の切り換え制御端子への入力が「0」のとき、スイッチ（S 4）4 4の可動接点をスイッチ（S 4）4 4の他方の固定接点と接続し、フリップフロップ（D F F 4）4 5により書き込まれたデータを保持する。

【0 0 5 5】

図2に、アドレスと記憶セル番号の対応表を示すように、アドレスA DのM S Bのビット値が「0」か「1」かにより、対応する2つの記憶セルの組み合わせが異なるようにすることができる。

【0 0 5 6】

図2において、6 1に示すように、アドレスA DのM S Bのビット値が「0」のとき、L S Bのビット値が「0」のとき、記憶セル（1）と記憶セル（2）が

対応し、LSBのビット値が「1」のとき、記憶セル（3）と記憶セル（4）が対応する。

【0057】

また、62に示すように、アドレスADのMSBのビット値が「1」のとき、LSBのビット値が「0」のとき、記憶セル（1）と記憶セル（3）が対応し、LSBのビット値が「1」のとき、記憶セル（2）と記憶セル（4）が対応する。

【0058】

この対応表は、アドレスADによる、上述した記憶セル（1）、記憶セル（2）、記憶セル（3）、記憶セル（4）へのデータの書き込みまたは読み出しの選択の組み合わせを示している。

【0059】

以下に、データを8ビットに拡張し、実際の画像データをアクセスする例を示す。

図3は、白黒サンプル画像の例を示す。図3において、この白黒サンプル画像71は、64画素×64画素、1画素が8ビットで構成されるものである。

【0060】

図3に示すように、走査線の走査順にこの64画素×64画素の白黒サンプル画像71をメモリに格納する場合には、先頭画素のアドレスを「0x0000」とすると、右隣の画素のデータが格納されるアドレスは、現在のアドレスよりも「1」だけ増加することになり、垂直方向の直下の画素のデータが格納されるアドレスは、現在のアドレスよりも「0x0040」だけ増加することになる。

【0061】

この64画素×64画素の白黒サンプル画像71の全部の画素のデータは、 $64 \times 64 = 0x1000$ であるので、最終の画素のデータは、アドレス「0x0FFF」に格納される。

【0062】

図4にワードの構成法を変える例を示す。図4は、各画素のデータを記憶セルに展開し、2次元的に図示したものである。なお、ここではアドレス「0x00

0 F」までの一部分を示すが、最終の画素のデータのアドレス「0 x 0 F F F」まで同様に構成される。

【0 0 6 3】

図4において、81, 83に示す水平方向のアドレス「0 x 0 0 0 0」～「0 x 0 0 0 F」に対して、画素毎に1バイトを構成する場合と、85, 87に示す垂直方向のアドレス「0 x 1 0 0 0」～「0 x 1 0 0 F」に対して、ビットプレーンで分割する場合とで1画素8ビットのワードの構成法を変えることができる。

【0 0 6 4】

この場合、85, 87に示す垂直方向のアドレス「0 x 1 0 0 0」～「0 x 1 0 0 F」で、例えば、86, 88に示すMSBのデータ「FF」でアクセスすると、ビットプレーン毎でのアクセスが可能となる。

【0 0 6 5】

このようにして、図5のアドレス空間の概念図に示すように、アドレス「0 x 0 0 0 0」～「0 x 0 F F F」と、アドレス「0 x 1 0 0 0」～「0 x 1 F F F」とで、91に示すように、同一の記憶セルの異なるアドレス空間へのマッピングが可能となる。

【0 0 6 6】

これにより、アドレス「0 x 0 0 0 0」～「0 x 0 F F F」に対してアクセスする場合と、アドレス「0 x 1 0 0 0」～「0 x 1 F F F」に対してアクセスする場合とで、ワードの構成法が変化する。

【0 0 6 7】

図6は、画像データを別のエリアに格納する例を示すフローチャートである。

ここでは、図9に示したように、64画素×64画素の白黒サンプル画像のアドレス「0 x 0 0 0 0」～「0 x 0 F F F」のソースエリア101の画素のデータに対するビットプレーン毎でアクセスしたMSBデータのみを、アドレス「0 x 2 0 0 0」から始まるデスティネーションエリア102に転送する例を示す。

【0 0 6 8】

図6において、ステップS1で、画像データを格納する。既に説明した図8に

示した画像データ格納のサブルーチンを示すフローチャートの処理を行う。

【0069】

ステップS2で、ソースアドレスのポインタに「0x0000」を代入し、デスティネーションアドレスのポインタに「0x2000」を代入し、アドレスに対するアクセスのステップに「8」を代入する。

【0070】

ステップS3で、ソースアドレスのポインタの指すアドレスの内容をデスティネーションアドレスのポインタの指すアドレスに格納する。

【0071】

ステップS4で、ソースアドレスのポインタの値に「8」を加え、デスティネーションアドレスのポインタの値に「1」を加える。

【0072】

ステップS5で、ソースアドレスのポインタが「0x2000」より小さいか否かを判断する。ステップS5において、ソースアドレスのポインタが「0x2000」より小さいときは、ステップS3へ戻り、ステップS3～ステップS5までの処理および判断を繰り返す。ステップS5において、ソースアドレスのポインタが「0x2000」のときは、終了する。

【0073】

従来方法では、4096バイトの画像データの全てを読み出して、1ビットを抜き出して、バッファにため込んだ後に、1バイトたまったところで、デスティネーションアドレスに書き出すという処理を行っていたが、本実施の形態では、アドレスを「8」ずつ飛ばしながら、画像データを読み出した後に、その画像データをそのままデスティネーションアドレスに書き出せば良いので、512バイトの直接の読み出しおよび書き込みで、処理が終了する。

【0074】

従って、本実施の形態によれば、従来方法に比べて単純に8倍の転送を行うことができるとともに、さらにビット毎の抜き出しおよび蓄積の処理が不要となるため、8倍以上の転送効率を得ることができる。

【0075】

なお、上述した本実施の形態では、2ビットのデータ、8ビットのデータのみを示したが、これに限らず、16ビットのデータ、32ビットのデータでも同様にして、適用することができることはいうまでもない。

【0076】

また、図1に示したデータ記憶装置の記憶セルとして、フリップフロップを用いる例のみを示したが、これに限らず、S（スタティック）-RAM（ランダムアクセスメモリ）、SD（シンクロナスダイナミック）RAM、フラッシュメモリなどを記憶セルとして用いてもよい。

【0077】

【発明の効果】

この発明のデータ記憶装置は、データを記憶する複数の記憶手段と、上記記憶手段のうち所望の記憶手段にデータの書き込みを行う書き込み手段と、上記記憶手段のうち所望の記憶手段からデータの読み出しを行う読み出し手段と、上記書き込み手段によるデータの書き込みまたは上記読み出し手段によるデータの読み出しの際に、上記記憶手段のうちの所定の単位でまとめて一意のアドレスにより指定するアドレス手段とを備えたので、最小単位のデータであるワードに対するアクセスを効率よく行うことができ、データの記憶ための処理を簡略化することができるという効果を奏する。

【0078】

また、この発明のデータ記憶装置は、上述において、上記アドレス手段により上記記憶手段をまとめて指定するための構成法を複数有し、各構成法により、他の一意のアドレスにより、同一の記憶手段を含む上記所定の単位を指定するので、最小単位のデータであるワードのアクセスの手法を複数に拡張して効率よく行うことができるという効果を奏する。

【0079】

また、この発明のデータ記憶装置は、上述において、上記データは画像データであり、上記構成法は、画素毎に1バイトデータを構成する場合と、所定ビット毎に上記画素毎の1バイトデータを分割して1バイトデータを構成する場合であるので、各画素の特定のビットに対する処理を効率よく行うことができるという

効果を奏する。

【0080】

また、この発明のデータ記憶装置は、上述において、上記アドレス手段により上記同一の記憶手段が異なるアドレス空間にマッピングされるので、アクセスするアドレスに応じて、最小単位のデータであるワードの構成法を変化させることができるという効果を奏する。

【0081】

また、この発明のデータ記憶方法は、転送元アドレスから転送先アドレスへデータを転送して記憶するデータ記憶方法において、入力された全データを一時記憶し、上記全データのうち所定アドレス毎に対応する所定データのみを順次取り出し、順次取り出された上記所定データのみを転送元アドレスから転送先アドレスへ順次転送して記憶するので、データの記憶ための伝送処理が簡略化され、データのアクセスを効率よく行うことができるという効果を奏する。

【図面の簡単な説明】

【図1】

本実施の形態が適用されるデータ記憶装置の2ビットの構成例を示す図である。

【図2】

アドレスと記憶セルの番号の対応表を示す図である。

【図3】

白黒サンプル画像の例を示す図である。

【図4】

ワードの構成法を変える例を示す図である。

【図5】

アドレス空間の概念図である。

【図6】

画像データを別のエリアに格納する例を示すフローチャートである。

【図7】

従来の画像データの転送する例を示すフローチャートである。

【図 8】

画像データを格納する例を示すフローチャートである。

【図 9】

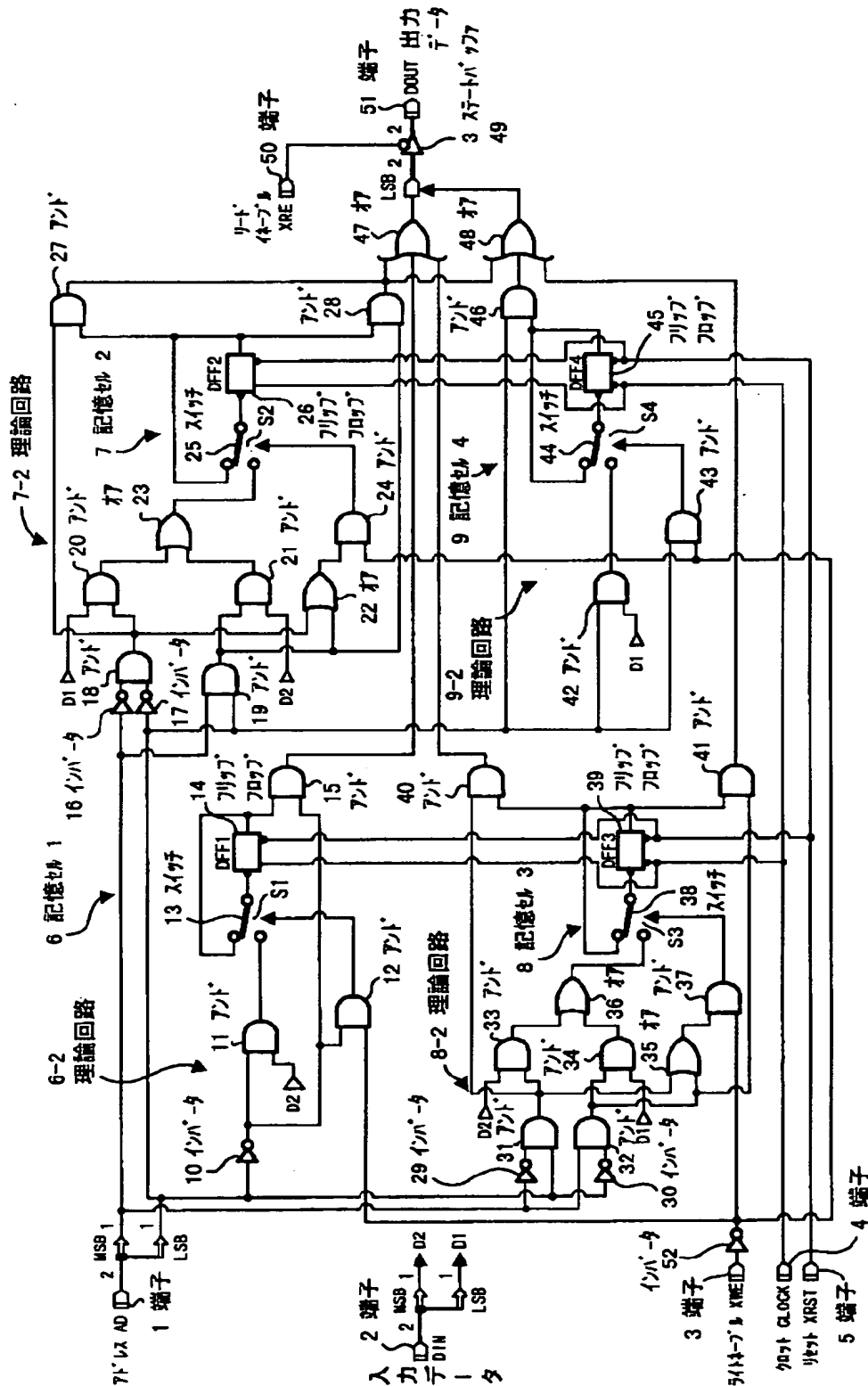
画像データのエリアおよびバッファの構造を示す図であり、図 9 A は画像データのエリア、図 9 B はバッファの構造である。

【符号の説明】

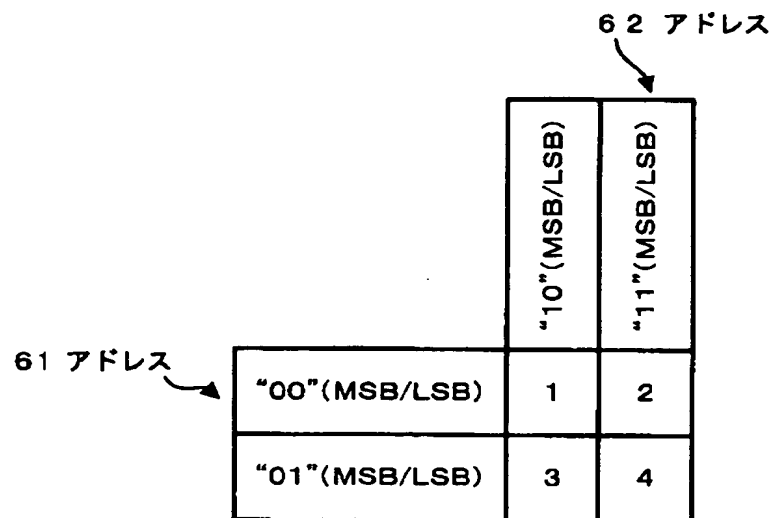
6 ……記憶セル（１）、 7 ……記憶セル（２）、 8 ……記憶セル（３）、 9 ……記憶セル（４）、 A D ……アドレス、 D I N ……入力データ、 X W E ……ライトイネーブル、 X R E ……リードイネーブル

【書類名】 図面

【図 1】

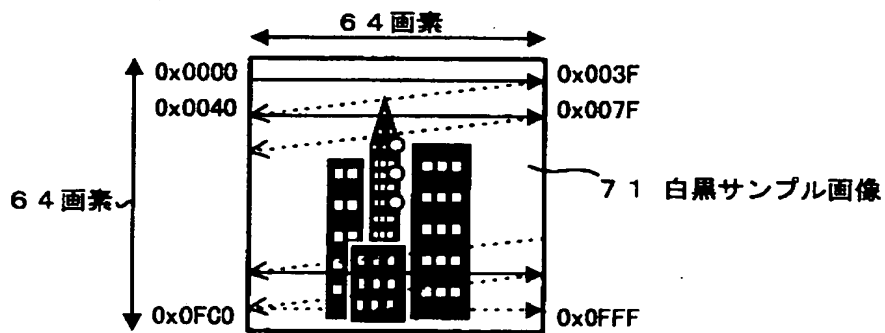


【図 2】



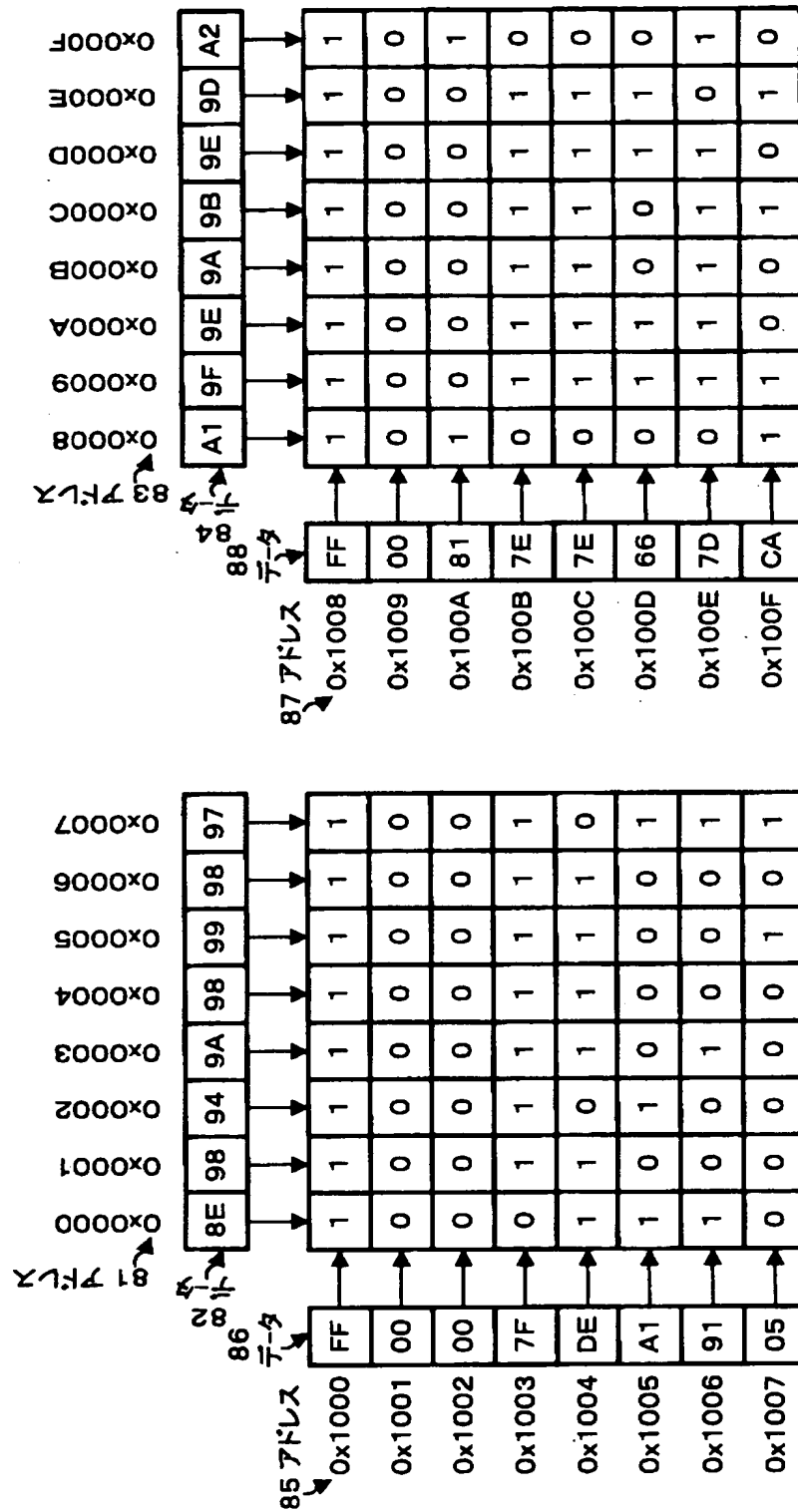
アドレスと記憶セル番号の対応表

【図 3】



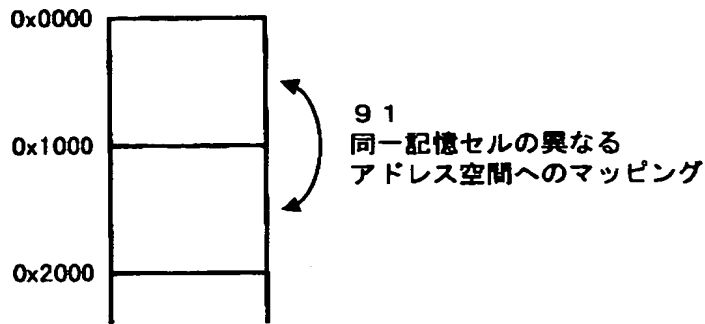
白黒サンプル画像の例

【図 4】



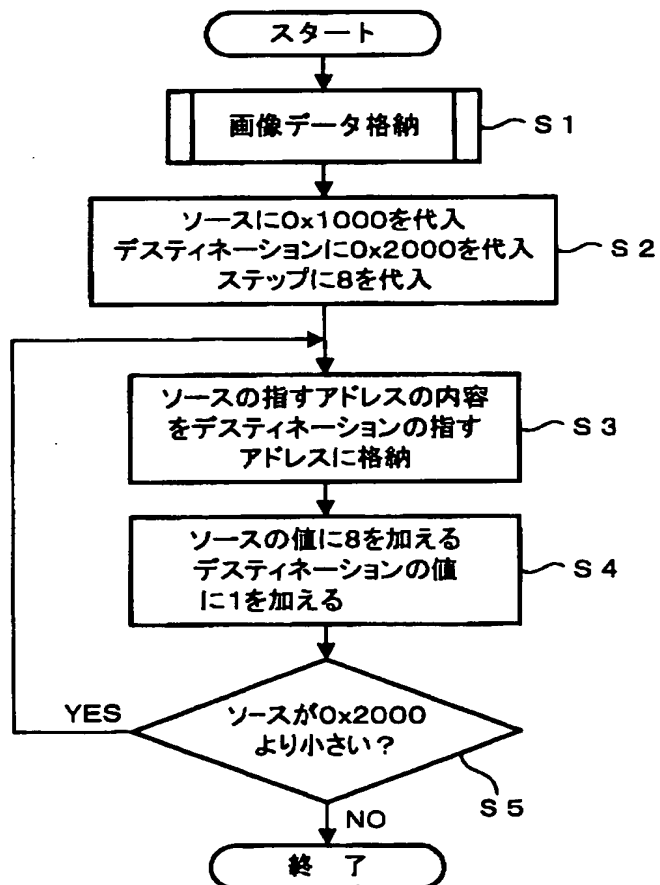
ワードの構成法を変える例

【図 5】



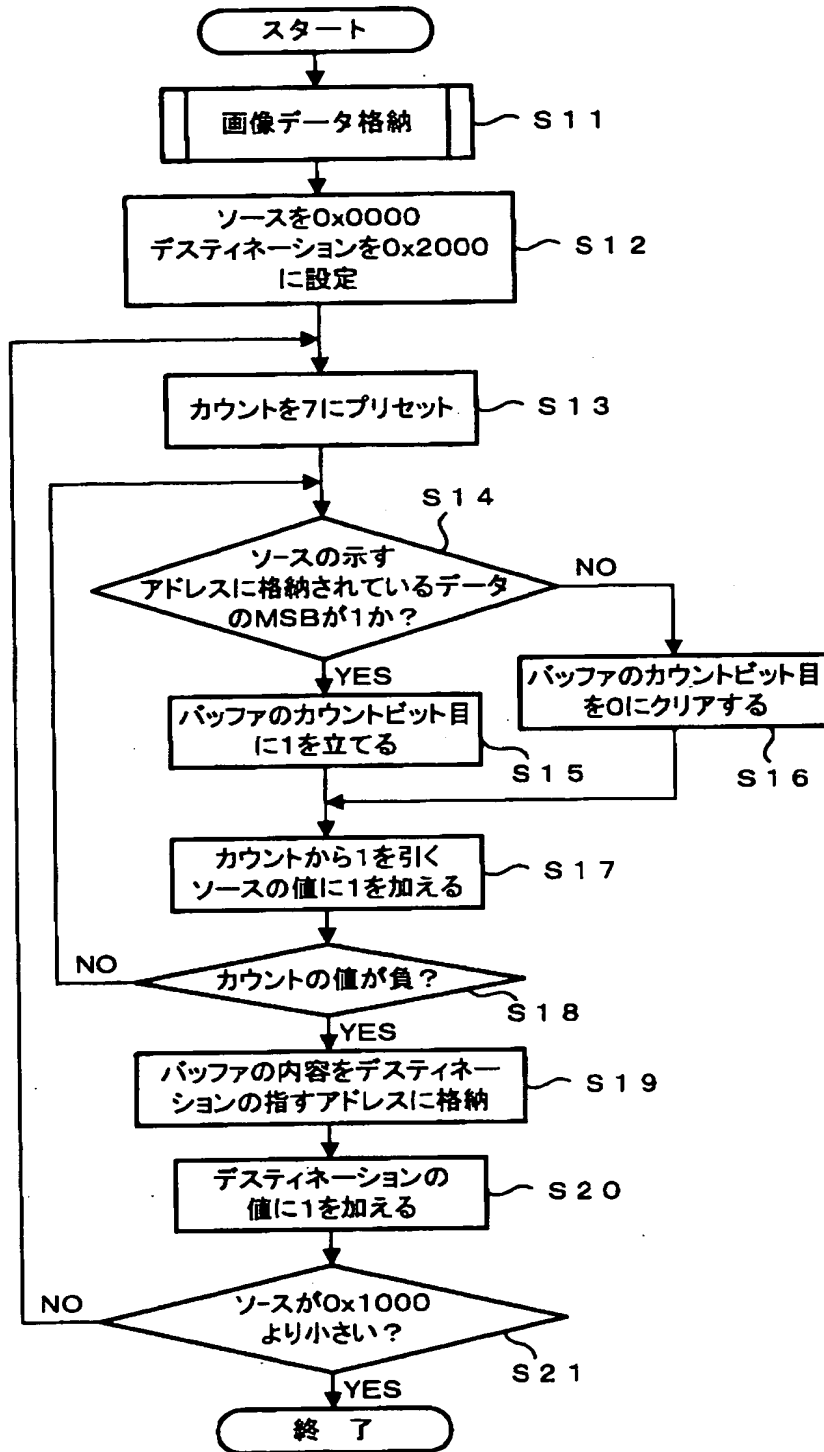
アドレス空間の概念図

【図 6】



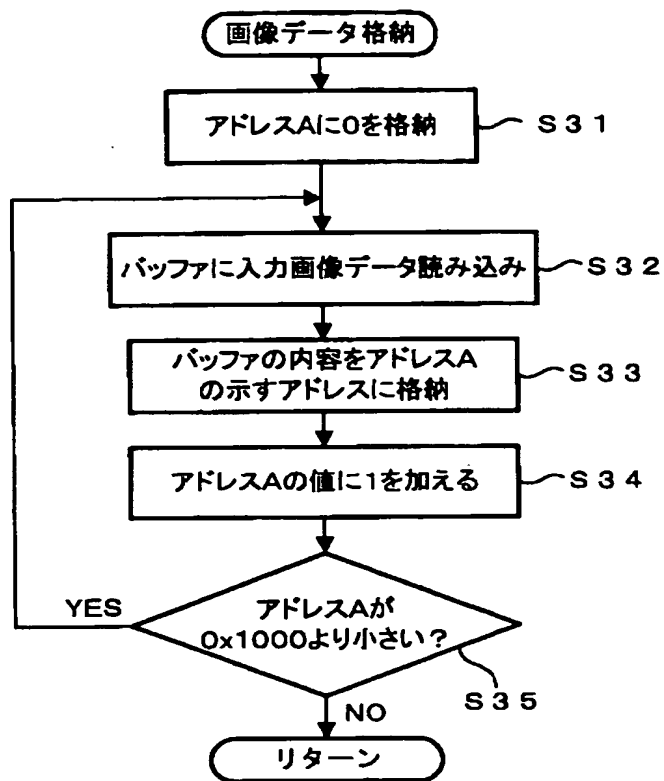
画像データを別のエリアに格納する例を示すフローチャート

【図 7】



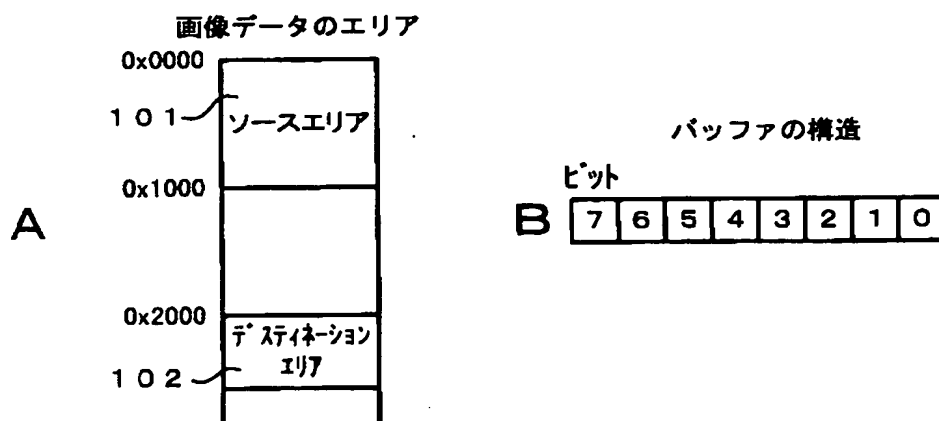
従来の画像データの転送の例を示すフローチャート

【図 8】



画像データ格納のフローチャート

【図 9】



画像データのエリアおよびバッファの構造を示す図

【書類名】 要約書

【要約】

【課題】 データの記憶のための伝送処理が簡略化され、データのアクセスを効率よく行うことができるデータ記憶装置およびデータ記憶方法を提供する。

【解決手段】 データ記憶装置は、データを記憶する複数の記憶セル（１）６、（２）７、（３）８、（４）９と、記憶セルのうち所望の記憶セルにデータの書き込みを行うライトイネーブルXWE信号と、記憶セルのうち所望の記憶セルからデータの読み出しを行うリードイネーブルXRE信号と、データの書き込みまたはデータの読み出しの際に、記憶セルのうちの所定の単位でまとめて一意のアドレスにより指定するアドレスAD信号とを備えた。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002185]

| | |
|----------|-------------------|
| 1. 変更年月日 | 1990年 8月30日 |
| [変更理由] | 新規登録 |
| 住 所 | 東京都品川区北品川6丁目7番35号 |
| 氏 名 | ソニー株式会社 |